

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-351585

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

G06F 1/32

(21)Application number : 2001-153156

(71)Applicant : INTERNATL BUSINESS MACH  
CORP <IBM>

(22)Date of filing : 22.05.2001

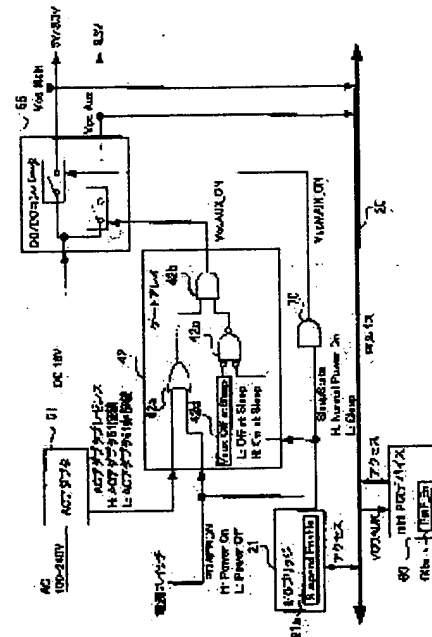
(72)Inventor : KATO ATSUYUKI  
FUJII KAZUO  
YAMAZAKI MITSUHIRO  
HAGIWARA MIKIO

## (54) COMPUTER SYSTEM, POWER FEEDING DEVICE AND POWER FEEDING METHOD OF COMPUTER SYSTEM

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption when a computer with a mini PCI card or a device corresponding to the mini PCI card inserted thereto is in an inactive state.

SOLUTION: An I/O bridge 21 for outputting inactive information about whether or not a computer system is in an inactive state and a Vaux off at sleep resistor 42d holding information about whether or not to feed auxiliary power VccAUX to a mini PCI device 60 when the computer system is inactive, are provided. When a signal from the I/O bridge 21 is L and a signal from the register 42d is L, the feeding of the auxiliary power VccAUX is stopped from a DC/DC converter 55.



### LEGAL STATUS

[Date of request for examination] 09.11.2001

[Date of sending the examiner's decision of rejection] 07.06.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-351585  
(P2002-351585A)

(43)公開日 平成14年12月6日(2002.12.6)

(51) Int.Cl.<sup>7</sup>  
G 0 6 F 1/32

識別記号

F I  
G 0 6 F 1/00

テーマコート\* (参考)

3 3 2 B      5 B 0 1 1

審査請求 有 請求項の数19 OL (全 14 頁)

(21)出願番号 特願2001-153156(P2001-153156)

(22)出願日 平成13年5月22日(2001.5.22)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSIN  
ESS MASCHINES CORPO  
RATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク ニュー オーチャード ロード

(74)復代理人 100104880

弁理士 古部 次郎 (外3名)

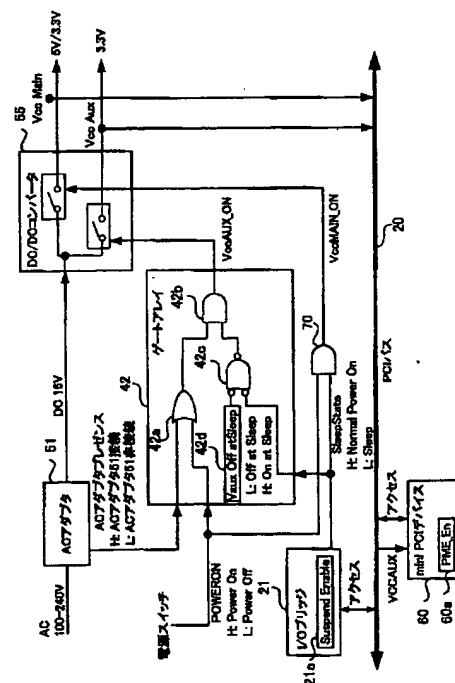
最終頁に続く

(54)【発明の名称】 コンピュータ装置、電源供給装置およびコンピュータ装置の電源供給方法

(57) 【要約】

【課題】 miniPCIカードあるいはこれに相当するデバイスを装着したコンピュータが休止状態のときの電力消費を低減する。

【解決手段】 コンピュータシステムが休止状態にあるか否かについての休止情報を出力する I/Oブリッジ 21 と、コンピュータシステムが休止状態のときに miniPCI デバイス 60 に対して補助電源 VccAUX を供給するか否かについての情報を保持する Vaux off at sleep レジスタ 42 d とを備える。I/Oブリッジ 21 からの信号 L および Vaux off at sleep レジスタ 42 d の信号が L のときには、DC/DC コンバータ 55 から補助電源 VccAUX の供給を停止する。



## 【特許請求の範囲】

【請求項 1】 補助電源を受給しかつ外部からの指示によりシステムの起動を制御する起動制御手段と、前記補助電源を生成しかつ前記起動制御手段に対して供給する補助電源生成手段と、前記システムが休止状態にあるか否かについての休止情報を出力する休止状態出力手段と、前記システムが休止状態のときに前記起動制御手段に対して前記補助電源を供給するか否かについての設定情報を保持する供給可否設定手段と、前記休止状態出力手段からの前記休止情報と前記供給可否設定手段が保持する前記設定情報とに基づいて、前記補助電源生成手段から前記起動制御手段に対して前記補助電源を供給するか否か決定する補助電源供給可否決定手段と、を備えたことを特徴とするコンピュータ装置。

【請求項 2】 前記補助電源供給可否決定手段は、前記システムが休止状態にある旨の休止情報を前記休止状態出力手段が出力し、かつ前記システムが休止状態のときに前記起動制御手段に対して前記補助電源を供給しない旨の情報を前記供給可否設定手段が保持している場合に、前記起動制御手段に対して前記補助電源を供給しないことを決定することを特徴とする請求項 1 に記載のコンピュータ装置。

【請求項 3】 前記コンピュータ装置は、前記システム内に装着されるデバイスに対して供給する主電源を生成する主電源生成手段と、前記休止状態出力手段から前記システムが休止状態である旨の休止情報が出力された場合に前記主電源生成手段に対して前記デバイスへの前記主電源の供給を停止することを決定する主電源供給可否決定手段とを備え、前記システムが休止である旨の休止情報を前記休止状態出力手段が発し、かつ前記システムが休止状態のときに前記起動制御手段に対して前記補助電源を供給しない旨の情報を前記供給可否設定手段が保持している場合に、前記主電源生成手段からの主電源の供給を停止した後に前記補助電源生成手段からの補助電源の供給を停止することを特徴とする請求項 2 に記載のコンピュータ装置。

【請求項 4】 前記補助電源供給可否決定手段は、前記システムが休止状態にはない旨の休止情報を前記休止状態出力手段が出力し、かつ前記システムが休止状態のときに前記起動制御手段に対して前記補助電源を供給しない旨の情報を前記供給可否設定手段が保持している場合に、前記起動制御手段に対して前記補助電源を供給することを決定することを特徴とする請求項 1 に記載のコンピュータ装置。

【請求項 5】 前記コンピュータ装置は、前記システム内に装着されるデバイスに対して供給する主電源を生成する主電源生成手段と、前記休止状態出力手段から前記システムが休止状態である旨の休止情報が出力された場合に前記主電源生成手段に対して前記デバ

イスへの前記主電源の供給を停止することを決定する主電源供給可否決定手段とを備え、

前記システムが休止状態を解除する旨の休止情報を前記休止状態出力手段が出力し、かつ前記システムが休止状態のときに前記起動制御手段に対して前記補助電源を供給しない旨の情報を前記供給可否設定手段が保持している場合に、

前記補助電源生成手段からの補助電源の供給を再開した後に前記主電源生成手段からの主電源の供給を再開することを特徴とする請求項 4 に記載のコンピュータ装置。

【請求項 6】 主たる電源を供給する主電源供給部と、補助的な電源を供給する補助電源供給部と、前記主電源供給部から供給される主電源の供給を受ける第 1 の電源消費手段と、

前記補助電源供給部から供給される補助電源の供給を受ける第 2 の電源消費手段と、

前記主電源供給部からの主電源供給および前記補助電源供給部からの補助電源供給を制御し、かつ前記第 1 の電源消費手段への前記主電源の供給を停止した後に前記第 2 の電源消費手段への前記補助電源の供給を停止することを指示する電源制御手段と、を備えたことを特徴とするコンピュータ装置。

【請求項 7】 前記コンピュータ装置が休止状態にあるか否かについての休止情報を出力する休止状態出力手段を備え、

前記電源制御手段は、前記休止状態出力手段からの前記休止情報に基づいて前記主電源供給部からの主電源供給および前記補助電源供給部からの補助電源供給を制御することを特徴とする請求項 6 に記載のコンピュータ装置。

【請求項 8】 前記コンピュータ装置が休止状態のときに前記第 2 の電源消費手段への前記補助電源の供給を停止することを設定する補助電源供給停止設定手段を備え、

前記電源制御手段は、前記休止状態出力手段からの休止情報と前記補助電源供給停止設定手段における設定に基づいて前記補助電源供給部からの補助電源供給を停止することを特徴とする請求項 7 に記載のコンピュータ装置。

【請求項 9】 前記電源制御手段は、前記コンピュータ装置が休止状態のときに前記主電源供給部からの主電源供給を停止することを特徴とする請求項 7 に記載のコンピュータ装置。

【請求項 10】 前記コンピュータ装置が休止状態に移行する際に、

前記電源制御手段は、前記第 1 の電源消費手段への前記主電源の供給を停止した後に前記第 2 の電源消費手段への前記補助電源の供給を停止することを、前記休止状態出力手段からの前記休止情報に連動して指示することを特徴とする請求項 7 に記載のコンピュータ装置。

【請求項 11】 前記コンピュータ装置が休止状態から復帰する際に、前記電源制御手段は、前記第 2 の電源消費手段への前記補助電源の供給を再開した後に前記第 1 の電源消費手段への前記主電源の供給を再開することを、前記休止状態出力手段からの前記休止情報に連動して指示することを特徴とする請求項 7 に記載のコンピュータ装置。

【請求項 12】 電気機器に備えられた所定の電源消費手段に対して電源を供給するための電源供給装置であって、外部から供給される電源に基づいて前記電源消費手段に対して供給する電源を生成する電源生成部と、前記電気機器が休止状態のときに前記電源消費手段に対する電源の供給を停止することの設定情報を保持する供給停止設定手段と、前記電気機器が休止状態に移行するかまたは休止状態から復帰するかを検知する休止状態検知手段と、前記電気機器が休止状態に移行するかまたは休止状態から復帰するかを前記休止状態検知手段が検知すると、前記供給停止設定手段の前記設定情報にしたがって、前記所定の電源消費手段への電源の供給の停止を指示する電源制御部と、を備えたことを特徴とする電源供給装置。

【請求項 13】 前記所定の電源消費手段は、遠隔操作により前記電気機器の休止状態を解除するための機能を果たすことを特徴とする請求項 12 に記載の電源供給装置。

【請求項 14】 前記電源制御部は、前記所定の電源消費手段において遠隔操作により前記電気機器の休止状態を解除するための機能が有効である場合に、前記所定の電源消費手段への電源の供給停止を指示することを特徴とする請求項 13 に記載の電源供給装置。

【請求項 15】 前記電気機器の休止状態を解除するための機能を前記所定の電源消費手段が有効であることを、前記電気機器のユーザが設定することを特徴とする請求項 12 に記載の電源供給装置。

【請求項 16】 前記電気機器の休止状態を解除するための機能を前記所定の電源消費手段が有効であることを、前記電気機器の使用環境に基づいて設定することを特徴とする請求項 12 に記載の電源供給装置。

【請求項 17】 遠隔操作によるウェイク・アップ機能を備えたコンピュータ装置の電源供給方法であって、前記コンピュータ装置が休止状態のときに前記ウェイク・アップ機能を使用するか否かを設定されるステップと、前記コンピュータ装置が休止状態のときにウェイク・アップ機能を実行するための電源供給を停止するか否かを設定されるステップと、前記コンピュータ装置が休止状態にあるか否かを判断するステップと、

前記コンピュータ装置が休止状態のときに前記ウェイク・アップ機能を使用しない旨設定されている場合において、前記コンピュータ装置が休止状態にあり、かつ前記コンピュータ装置が休止状態のときにウェイク・アップ機能を実行するための電源供給を停止する旨設定されているときに、ウェイク・アップ機能を実行するための電源供給を停止するステップと、を備えていることを特徴とするコンピュータ装置の電源供給方法。

【請求項 18】 ウェイク・アップ機能を実行するための電源供給を停止するステップは、前記コンピュータ装置が休止状態のときに電源供給が必要のない前記コンピュータ装置のデバイスへの電源の供給の停止と同期して行なうことを特徴とする請求項 17 に記載のコンピュータ装置の電源供給方法。

【請求項 19】 前記コンピュータ装置が休止状態から復帰する場合に、ウェイク・アップ機能を実行するための電源供給の再開と前記コンピュータ装置が休止状態のときに電源供給が必要のない前記コンピュータ装置のデバイスへの電源供給の再開とを同期して行なうことを特徴とする請求項 18 に記載のコンピュータ装置の電源供給方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばノートブック型パーソナルコンピュータ(ノートブック PC)等のパーソナルコンピュータ(PC)に用いられる遠隔操作により電源を On にして起動する機能(ウェイク・アップ機能あるいは Wake-On-LAN 機能)を実現するための電源回路に関する。

【0002】

【従来の技術】一つの企業内において、システムのメンテナンス等を含めた総費用を低減する目的で、多数の PC に対して、例えばプログラムの書き換えを一斉に行ないたいと欲する場合がある。かかる場合において、1 つ 1 つの PC に対するオペレータの介在なしに、電源が On されることが要求される。このような要求に対して、PC の BIOS (Basic Input/Output System)、OS (Operating System)、ネットワークカード等が対応している場合には、Wake-On-LAN (ウェイク・オン・ラン)によって PC を起動する方法がある。この Wake-On-LAN は、手元のコンピュータから離れた場所にあるコンピュータの電源を On にして起動する機能であり、オペレータが手で電源を入れる代わりに、遠隔地の操作に基づくネットワークからの指示によって、電源を入れる技術である。

【0003】

【発明が解決しようとする課題】この技術は、PC 内に装着されている mini PCI カードを介して実現することができる。つまり、システム(PC)がスリープ(Sleep)またはサスペンド(Suspend)といった休止状態であって

も、mini P C I カードには電源を常に供給しておき、遠隔地からのWake-On-LANを定義するコマンドを受けてシステムの電源を投入する。ここで問題となるのは、休止状態であってもmini P C I カードに常に電源が供給されることである。休止状態であってもシステムは電力を消費するが、mini P C I カードはその消費量を増大させる。本発明者の調査によると、ノートブック P C の場合、休止状態で内蔵バッテリーの電力は8日間程度持続するが、mini P C I カードを装着すると4日間程度でバッテリーの電力が消耗してしまう。したがって、例えば、ノートブック P C を出張等で携帯した際にシステムの起動ができなくなることもある。また、Wake-On-LAN機能を利用し得ない状態で P C を使用している場合には、電力を無駄に消費してしまうことになる。そこで本発明は、mini P C I カードあるいはこれに相当するデバイスを装着したコンピュータが休止状態であっても、円滑に電力消費を低減することのできるシステムの提供を課題とする。

#### 【0004】

【課題を解決するための手段】本発明は、補助電源を受給しかつ外部からの指示によりシステムの起動を制御する起動制御手段と、前記補助電源を生成しかつ前記起動制御手段に対して供給する補助電源生成手段と、前記システムが休止状態にあるか否かについての休止情報を出力する休止状態出力手段と、前記システムが休止状態のときに前記起動制御手段に対して前記補助電源を供給するか否かについての設定情報を保持する供給可否設定手段と、前記休止状態出力手段からの前記休止情報と前記供給可否設定手段が保持する前記設定情報とに基づいて、前記補助電源生成手段から前記起動制御手段に対して前記補助電源を供給するか否か決定する補助電源供給可否決定手段と、を備えたことを特徴とするコンピュータ装置である。

【0005】システムが休止状態にはないときに補助電源であってもOn、Offをすると、何らかの機能が正常に動作しなくなるおそれがある。そこで、本発明のコンピュータ装置は、前記休止状態出力手段からの前記休止情報と前記供給可否設定手段が保持する前記設定情報とに基づいて、前記補助電源生成手段から前記起動制御手段に対して前記補助電源を供給するか否か決定する。つまり、本発明のコンピュータ装置は、システムの休止情報を確認してから補助電源を供給するか否か決定することができるので、何らかの機能が正常に動作しなくなるおそれを排除することができる。したがって、mini P C I カードあるいはこれに相当するデバイスを装着したコンピュータが休止状態であっても、円滑に電力消費を低減することができる。

【0006】本発明のコンピュータ装置における補助電源の供給可否を以下のように決定することができる。すなわち、本発明のコンピュータ装置において、前記補助

電源供給可否決定手段は、前記システムが休止状態である旨の休止情報を前記休止状態出力手段が出力し、かつ前記システムが休止状態のときに前記起動制御手段に対して前記補助電源を供給しない旨の情報を前記供給可否設定手段が保持している場合に、前記起動制御手段に対して前記補助電源を供給しないことを決定することができる。また本発明のコンピュータ装置は、前記システム内に装着されるデバイスに対して供給する主電源を生成する主電源生成手段と、前記休止状態出力手段から前記システムが休止状態である旨の休止情報が出力された場合に前記主電源生成手段に対して前記デバイスへの前記主電源の供給を停止することを決定する主電源供給可否決定手段とを備え、前記システムが休止である旨の休止情報を前記休止状態出力手段が発し、かつ前記システムが休止状態のときに前記起動制御手段に対して前記補助電源を供給しない旨の情報を前記供給可否設定手段が保持している場合に、前記主電源生成手段からの主電源の供給を停止した後に前記補助電源生成手段からの補助電源の供給を停止することができる。つまり、主電源の供給停止を補助電源の供給停止に優先して行なう。

【0007】また、本発明のコンピュータ装置において、前記補助電源供給可否決定手段は、前記システムが休止状態にはない旨の休止情報を前記休止状態出力手段が出力し、かつ前記システムが休止状態のときに前記起動制御手段に対して前記補助電源を供給しない旨の情報を前記供給可否設定手段が保持している場合に、前記起動制御手段に対して前記補助電源を供給することができる。さらに、本発明のコンピュータ装置において、前記システム内に装着されるデバイスに対して供給する主電源を生成する主電源生成手段と、前記休止状態出力手段から前記システムが休止状態である旨の休止情報が出力された場合に前記主電源生成手段に対して前記デバイスへの前記主電源の供給を停止することを決定する主電源供給可否決定手段とを備え、前記システムが休止状態を解除する旨の休止情報を前記休止状態出力手段が出力し、かつ前記システムが休止状態のときに前記起動制御手段に対して前記補助電源を供給しない旨の情報を前記供給可否設定手段が保持している場合に、前記補助電源生成手段からの補助電源の供給を再開した後に前記主電源生成手段からの主電源の供給を再開することができる。つまり、主電源の供給再開を補助電源の供給再開に優先して行なう。

【0008】また本発明は、主たる電源を供給する主電源供給部と、補助的な電源を供給する補助電源供給部と、前記主電源供給部から供給される主たる電源の供給を受ける第1の電源消費手段と、前記補助電源供給部から供給される補助的な電源の供給を受ける第2の電源消費手段と、前記主電源供給部からの主たる電源の供給および前記補助電源供給部からの補助的な電源の供給を制御し、かつ前記第1の電源消費手段への前記主電源の供

10

20

30

40

50

給を停止した後に前記第2の電源消費手段への前記補助電源の供給を停止することを指示する電源制御手段と、を備えたことを特徴とするコンピュータ装置を提供する。本発明のコンピュータ装置は、電源制御手段が、前記第1の電源消費手段への前記主電源の供給を停止した後に前記第2の電源消費手段への前記補助電源の供給を停止することを指示する。したがって本発明のコンピュータ装置は、補助電源の供給を停止する段階では主電源の供給を停止、つまりコンピュータ装置のCPUの動作も停止しているから、何らかの機能が正常に動作しなくなるおそれを排除することができる。

【0009】以上の本発明のコンピュータ装置は、コンピュータ装置の休止状態において主電源の供給および補助電源の供給を制御することができる。つまり本発明のコンピュータ装置は、前記コンピュータ装置が休止状態にあるか否かについての休止情報を出力する休止状態出力手段を備え、前記電源制御手段は、前記休止状態出力手段からの前記休止情報に基づいて前記主電源供給部からの主電源供給および前記補助電源供給部からの補助電源供給を制御することができる。また本発明において、前記コンピュータ装置が休止状態のときに前記第2の電源消費手段への前記補助電源の供給を停止することを設定する補助電源供給停止設定手段を備え、前記電源制御手段は、前記休止状態出力手段からの休止情報と前記補助電源供給停止設定手段における設定に基づいて前記補助電源供給部からの補助電源供給を停止することができる。

【0010】本発明において、前記電源制御手段は、補助電源の供給停止のみならず、前記コンピュータ装置が休止状態のときに前記主電源供給部からの主電源供給を停止することもできる。また本発明において、コンピュータ装置が休止状態に移行する際に、前記電源制御手段は、前記第1の電源消費手段への前記主電源の供給を停止した後に前記第2の電源消費手段への前記補助電源の供給を停止することを、前記休止状態出力手段からの前記休止情報に連動して指示することができる。さらに本発明において、前記コンピュータ装置が休止状態から復帰する際に、前記電源制御手段は、前記第2の電源消費手段への前記補助電源の供給を再開した後に前記第1の電源消費手段への前記主電源の供給を再開することを、前記休止状態出力手段からの前記休止情報に連動して指示することができる。

【0011】本発明はコンピュータ装置に限らず、電気機器一般に用いる電源供給装置に適用することができる。したがって本発明は、電気機器に備えられた所定の電源消費手段に対して電源を供給するための電源供給装置であって、外部から供給される電源に基づいて前記電源消費手段に対して供給する電源を生成する電源生成部と、前記電気機器が休止状態のときに前記電源消費手段に対する電源の供給を停止することの設定情報を保持す

る供給停止設定手段と、前記電気機器が休止状態に移行するかまたは休止状態から復帰するかを検知する休止状態検知手段と、前記電気機器が休止状態に移行するかまたは休止状態から復帰するかを前記休止状態検知手段が検知すると、前記供給停止設定手段の前記設定情報にしたがって、前記所定の電源消費手段への電源の供給の停止を指示する電源制御部と、を備えたことを特徴とする電源供給装置を提供する。

【0012】本発明において、前記所定の電源消費手段は、遠隔操作により前記電気機器が休止状態を解除するための機能を果たすものとしてすることができる。例えば、mini PCIカードが該当する。また本発明において、前記電源制御部は、前記所定の電源消費手段において遠隔操作により前記電気機器の休止状態を解除するための機能が有効である場合に、前記所定の電源消費手段への電源の供給停止を指示することができる。さらに本発明において、前記電気機器の休止状態を解除するための機能を前記所定の電源消費手段が有効であることを、前記電気機器のユーザが設定することができる。また、この設定はユーザの設定以外に、前記電気機器の使用環境に基づいて設定することもできる。例えば、電気機器がコンピュータ装置の場合に、当該コンピュータ装置がLAN (Local Area Network) に接続されているか否かに基づいて、前記電気機器の休止状態を解除するための機能を前記所定の電源消費手段が有効であることを設定することができる。

【0013】本発明は、コンピュータ装置に対して以下の有益な電源供給方法を提供する。すなわち本発明の電源供給方法は、遠隔操作によるウェイク・アップ機能を備えたコンピュータ装置の電源供給方法であって、前記コンピュータ装置が休止状態のときに前記ウェイク・アップ機能を使用するか否かを設定されるステップと、前記コンピュータ装置が休止状態のときにウェイク・アップ機能を実行するための電源供給を停止するか否かを設定されるステップと、前記コンピュータ装置が休止状態にあるか否かを判断するステップと、前記コンピュータ装置が休止状態のときに前記ウェイク・アップ機能を使用しない旨設定されている場合において、前記コンピュータ装置が休止状態にあり、かつ前記コンピュータ装置が休止状態のときにウェイク・アップ機能を実行するための電源供給を停止する旨設定されているときに、ウェイク・アップ機能を実行するための電源供給を停止するステップと、を備えていることを特徴とするコンピュータ装置の電源供給方法である。

【0014】本発明において、前記ウェイク・アップ機能を実行するための電源供給を停止するステップは、前記コンピュータ装置が休止状態のときに電源供給が必要のない前記コンピュータ装置のデバイスへの電源の供給の停止と同期して行なうことが望ましい。また本発明の電源供給方法において、前記コンピュータ装置が休止状

態から復帰する場合に、ウェイク・アップ機能を実行するための電源供給の再開と前記コンピュータ装置が休止状態のときに電源供給が必要のない前記コンピュータ装置のデバイスへの電源供給の再開とを同期して行なうことが望ましい。ここで、コンピュータ装置が休止状態のときに電源供給が必要のない前記コンピュータ装置のデバイスとは、CPU、HDD(Hard Disc Drive)等が該当する。

#### 【0015】

【発明の実施の形態】以下、添付図面に示す実施の形態に基づいて本発明を詳細に説明する。図1は、本実施の形態におけるコンピュータシステム10のハードウェア構成を示した図である。このコンピュータシステム10を備えるコンピュータ装置は、例えば、OAG(Open Architecture Developer's Group)仕様に準拠して、所定のOS(オペレーティングシステム)を搭載したノートブックPC(ノートブック型パーソナルコンピュータ)として構成されている。

【0016】図1に示すコンピュータシステム10において、CPU11は、コンピュータシステム10全体の頭脳として機能し、OSの制御下で各種プログラムを実行している。CPU11は、システムバスであるFSB(Front Side Bus)12、高速のI/O装置用バスとしてのPCI(Peripheral Component Interconnect)バス20、低速のI/O装置用バスとしてのISA(Industry Standard Architecture)バス40という3段階のバスを介して、各構成要素と相互接続されている。このCPU11は、キャッシュメモリにプログラム・コードやデータを蓄えることで、処理の高速化を図っている。近年では、CPU11の内部に1次キャッシュとして128Kバイト程度のSRAMを集積させているが、容量の不足を補うために、専用バスであるBSB(Back Side Bus)13を介して、512K~2Mバイト程度の2次キャッシュ14を置いている。尚、BSB13を省略し、FSB12に2次キャッシュ14を接続して端子数の多いパッケージを避けることで、コストを低く抑えることも可能である。

【0017】FSB12とPCIバス20は、メモリ/PCIチップと呼ばれるCPUブリッジ(ホストPCIブリッジ)15によって連絡されている。このCPUブリッジ15は、メインメモリ16へのアクセス動作を制御するためのメモリコントローラ機能や、FSB12とPCIバス20との間のデータ転送速度の差を吸収するためのデータバッファ等を含んだ構成となっている。メインメモリ16は、CPU11の実行プログラムの読み込み領域として、あるいは実行プログラムの処理データを書き込む作業領域として利用される書き込み可能メモリである。例えば、複数のDRAMチップで構成され、例えば64MBを標準装備し、320MBまで増設することが可能である。この実行プログラムには、OS

や周辺機器類をハードウェア操作するための各種ドライバ、特定業務向けられたアプリケーションプログラム、後述するフラッシュROM44に格納されたBIOS(Basic Input/Output System:基本入出力システム)等のファームウェアが含まれる。

【0018】ビデオサブシステム17は、ビデオに関連する機能を実現するためのサブシステムであり、ビデオコントローラを含んでいる。このビデオコントローラは、CPU11からの描画命令を処理し、処理した描画情報をビデオメモリに書き込むと共に、ビデオメモリからこの描画情報を読み出して、液晶ディスプレイ(LCD)18に描画データとして出力している。

【0019】PCIバス20は、比較的高速なデータ転送が可能なバスであり、データバス幅を32ビットまたは64ビット、最大動作周波数を33MHz、66MHz、最大データ転送速度を132MB/秒、528MB/秒とする仕様によって規格化されている。このPCIバス20には、I/Oブリッジ21、カードバスコントローラ22、オーディオサブシステム25、ドッキングステーションインターフェース(Dock I/F)26、mini PCIコネクタ27が夫々接続されている。

【0020】カードバスコントローラ22は、PCIバス20のバス信号をカードバススロット23のインターフェースコネクタ(カードバス)に直結させるための専用コントローラであり、このカードバススロット23には、PCカード24を装填することが可能である。ドッキングステーションインターフェース26は、コンピュータシステム10の機能拡張装置であるドッキングステーション(図示せず)を接続するためのハードウェアである。ドッキングステーションにノートPCがセットされると、ドッキングステーションの内部バスに接続された各種のハードウェア要素が、ドッキングステーションインターフェース26を介してPCIバス20に接続される。また、mini PCIコネクタ27には、本実施の形態における自動電源On回路が内蔵されたmini PCI(mini PCI)デバイス60が接続される。mini PCIデバイスは、mini PCIの仕様に準拠して増設可能な拡張カード(ボード)である。このmini PCIは、モバイル向けPCI規格であり、PCI Rev. 2.2仕様書の付録として掲載されている。機能的にはフルスペックのPCIと同等である。

【0021】I/Oブリッジ21は、PCIバス20とISAバス40とのブリッジ機能を備えている。また、DMAコントローラ機能、プログラマブル割り込みコントローラ(PIC)機能、プログラマブル・インターバル・タイマ(PIT)機能、IDE(Integrated Device Electronics)インターフェース機能、USB(Universal Serial Bus)機能、SMB(System Management Bus)インターフェース機能を備えると共に、リアルタイムクロック(RTC)を内蔵している。



【0022】DMAコントローラ機能は、FDD等の周辺機器とメインメモリ16との間のデータ転送をCPU11の介在なしに実行するための機能である。PIC機能は、周辺機器からの割り込み要求(I R Q)に応答して、所定のプログラム(割り込みハンドラ)を実行させる機能である。PIT機能は、タイマ信号を所定期間で発生させる機能である。また、IDEインターフェース機能によって実現されるインターフェースは、IDEハードディスクドライブ(HDD)31が接続される他、CD-ROMドライブ32がATAPI(AT Attachment Packet Interface)接続される。このCD-ROMドライブ32の代わりに、DVD(Digital Versatile Disc)ドライブのような、他のタイプのIDE装置が接続されても構わない。HDD31やCD-ROMドライブ32等の外部記憶装置は、例えば、ノートPC本体内の「メディアベイ」または「デバイスベイ」と呼ばれる収納場所に格納される。これらの標準装備された外部記憶装置は、FDDや電池パックのような他の機器類と交換可能かつ排他的に取り付けられる場合もある。

【0023】また、I/Oブリッジ21にはUSBポートが設けられており、このUSBポートは、例えばノートPC本体の側壁面等に設けられたUSBコネクタ30と接続されている。更に、I/Oブリッジ21には、S-Mバスを介してEEPROM33が接続されている。このEEPROM33は、ユーザによって登録されたパスワードやスーパーバイザパスワード、製品シリアル番号等の情報を保持するためのメモリであり、不揮発性で記憶内容を電氣的に書き換え可能とされている。

【0024】更にまた、I/Oブリッジ21は、電源回路50に接続されている。電源回路50は、ACアダプタ51、バッテリー(2次電池)としてのメイン電池52またはセカンド電池53を充電すると共にACアダプタ51や各電池からの電力供給経路を切り換えるバッテリー切換回路54、およびコンピュータシステム10で使用される5V、3.3V等の直流定電圧を生成するDC/DCコンバータ(DC/DC)55等の回路を備えている。

【0025】一方、I/Oブリッジ21を構成するコアチップの内部には、コンピュータシステム10の電源状態を管理するための内部レジスタと、この内部レジスタの操作を含むコンピュータシステム10の電源状態の管理を行なうロジック(ステートマシン)が設けられている。このロジックは、電源回路50との間で各種の信号を送受し、この信号の送受により、電源回路50からコンピュータシステム10への実際の給電状態を認識する。電源回路50は、このロジックからの指示に応じて、コンピュータシステム10への電力供給を制御している。

【0026】ISAバス40は、PCIバス20よりもデータ転送速度が低いバスである(例えば、バス幅16ビット、最大データ転送速度4MB/秒)。このISAバ

ス40には、ゲートアレイ42に接続されたエンベデッドコントローラ41、CMOS43、フラッシュROM44、Super I/Oコントローラ45が接続されている。更に、キーボード/マウスコントローラのような比較的低速で動作する周辺機器類を接続するためにも用いられる。このSuper I/Oコントローラ45にはI/Oポート46が接続されており、FDDの駆動やパラレルポートを介したパラレルデータの入出力(P I O)、シリアルポートを介したシリアルデータの入出力(S I O)を制御している。

【0027】エンベデッドコントローラ41は、図示しないキーボードのコントロールを行なうと共に、電源回路50に接続されて、内蔵されたパワー・マネージメント・コントローラ(PMC: Power Management Controller)によってゲートアレイ42と共に電源管理機能の一部を担っている。

【0028】図2は、本実施の形態における電源供給の内容を説明するための図である。本実施の形態では、mini PC I デバイス60にLANあるいは電話線経由にて遠隔地からのウェイク・アップを定義するコマンドを受けてシステムの電源を投入する機能が備わっている。つまり、mini PC I デバイス60は、コンピュータシステム10の起動を制御する起動制御手段としての機能を備えているといえることができる。mini PC I デバイス60は、具体的には、イーサネット(登録商標)(Ethernet(登録商標))またはモデム(Modem)として実現することができる。図2に示すACアダプタ51へは、外部の商用AC電源から、AC100~240Vの電圧が供給され、ACアダプタ51によってDC16Vに変換される。DC/DCコンバータ55では、入力される16Vの直流電圧を、5V、3.3VのVccMAIN、補助(Auxiliary)電源である3.3VのVccAUXからなる直流定電圧を生成している。つまり、DC/DCコンバータ55は、主電源および補助電源を生成する。この補助電源VccAUXは、自動電源Onを可能とするためにPCIバス20に対して供給される。ゲートアレイ42は、ORゲート42a、ANDゲート42b、ORゲート42cおよびVaux.Off.at Sleepレジスタ42dを備えている。また、I/Oブリッジ21とDC/DCコンバータ55との間には、ANDゲート70が設けられている。

【0029】以上の電源制御回路において用いられる制御信号について説明する。

<ACアダプタプレゼンス>コンピュータシステム10にACアダプタ51が接続されているか否かを示す制御信号がACアダプタプレゼンスであり、ACアダプタ51が接続されている場合にはハイ・レベル(High Level、図中Hで示し以下もHとする)が、また、ACアダプタ51が接続されていない場合にはロー・レベル(Low Level、図中Lで示し以下もLとする)がゲートアレイ4

2に出力される。

<POWERON>電源スイッチの状態からつくられる信号がPOWERONである。つまり、電源スイッチがOn (Power On)の場合にはH、電源スイッチがOff (Power Off)の場合にはLがゲートアレイ42およびANDゲート70に出力される。

【0030】<SleepState>SleepStateは、I/Oブリッジ21が出力する信号で、コンピュータシステム10がスリープ(休止)状態であるか、それとも通常のPower On(Normal Power On)状態であるかを示す。SleepStateはANDゲート70に供給される。BIOSが、I/Oブリッジ21の持つSuspend Enableレジスタ21aに対して書き込み動作を行なうと、この信号はLとなる。スリープ状態にあるときに、I/Oブリッジ21が、スリープ状態からの復帰命令(Resume Request)を検知すると、この信号はHとなり、コンピュータシステム10はスリープ状態から通常のPower On状態に復帰(Resume)する。

<VccMAIN\_ON>Power Off状態およびスリープ状態においては電源が供給される必要のないデバイス、例えばCPU11、HDD31、LCD18といったデバイスに対して供給される電源であるVccMAINのOn/Offを制御する信号である。すなわち、VccMAINはPower On状態のときにだけ、Onとなる。この信号は、“POWERON”と“SleepState”の論理積(AND)として生成される。なお、VccMAIN\_ONは、VccMAINをOnする場合にはH、VccMAINをOffする場合にはLとなる。

<VccAUX\_ON>mini PC Iデバイス60のWAKE-ON-LAN機能のための補助電源であるVccAUXのOn/Offを制御する信号である。この信号はゲートアレイ42からDC/DCコンバータ55に対して出力される。出力される信号がHの場合にはVccAUXがOnとなり、Lの場合にはVccAUXがOffとなる。

【0031】次に、ゲートアレイ42の構成、動作を説明する。ORゲート42aはACアダプタプレゼンスとPOWERONの論理和を採る。したがって、ACアダプタ51が接続されているか、または電源スイッチがOnされていれば、論理和としてANDゲート42bにH信号を出力する。逆に、ACアダプタ51が非接続でかつ電源スイッチがOffであれば、L信号が出力される。Vaux Off at Sleepレジスタ42dは、BIOSからVccAUXのOn/Offを制御可能にするための要素であって、以下のようにレジスタ値が定義されている。すなわち、レジスタ値が0の場合にはスリープ状態においてVccAUXをOffとし、またレジスタ値が1の場合にはVccAUXをOnのまま維持する。このレジスタ値が0であると、ゲートアレイ内部の信号はLとなり、1であればHとなる。スリープ状態に入るとき、BIOSがこのVaux Off at Sleepレジスタ42dに対して書き込みを行なう。ORゲート42cは、スリープ状態に移行するとき

にVccAUXをVccMAINと同期してOffとし、スリープ状態から復帰するときVccAUXをVccMAINと同期してOnするためのものである。Vaux Off at Sleepレジスタ42dを、このORゲート42cを介せずにANDゲート42bに直結すると、BIOSがORゲート42cに値'0'を書き込んだ瞬間にVccAUXがOffとなってしまう。あるいは、スリープ状態からの復帰を考えると、VccMAINがOnとなってCPU11などの動作開始に伴ってBIOSが動作してこのレジスタに'1'を書き込んで初めてVccAUXがOnに復帰することになってしまう。それを防ぐためにVaux Off at Sleepレジスタ42dとSleep Stateの負論理の論理積を取り、双方がLのときにのみ出力をLとし、ANDゲート42bを介してVccAUX\_ONをLとする。ANDゲート42bは、補助電源の供給可否を決定する手段であって、VccAUX\_ONがHとなる条件を、ORゲート42aの出力がHかつORゲート42cの出力がHであることとしている。これにより、ORゲート42aの出力がHであっても、ORゲート42cの出力をLとすれば、VccAUXをOffとすることができる。具体的には、システムがPower On状態であっても(このときORゲート42aの出力はH)、条件つまりORゲート42cの出力によってはVccAUXをOffとすることができる。

【0032】以上の動作をなすコンピュータシステム10において、各制御信号とVccMAINおよびVccAUXの対応を図3に示す。VccMAINがOnとなるのは、POWERONおよびSleepStateの両者がHのときである(図3のNo. 1, 3, 9, 11)。これは、ユーザがコンピュータシステム10を起動して使用している状態とみなすことができる。逆にPOWERONおよびSleepStateのいずれか一方がLのときには、VccMAINはOffとなる(図3のNo. 2, 4~8, 10, 12~16)。コンピュータシステム10の電源スイッチがOffあるいはスリープ状態にあるとみなすことができる。VccAUXは、ACアダプタプレゼンスおよびPOWERONの両者がLの時にOffになる(図3のNo. 4, 12, 16)。VccAUXは、他に、Vaux Off at Sleepレジスタ42dおよびSleepStateの両者がLのときにOffになる(図3のNo. 5~8)。ユーザの指示によりBIOSが、スリープ状態にコンピュータシステム10が移行した際にVccAUXをOffにしたいという要求に応えることができる。以上の場合以外は、VccAUXはOnされる。VccAUXは、図2に示したようにPCIバス20に出力される。VccAUXはPCIバス20を介してmini PC Iデバイス60に供給されるため、コンピュータシステム10はWAKE-ON-LAN機能を使用することができる。

【0033】本実施の形態は、スリープ状態にVccAUXの供給を停止する機能を付加した点に特徴がある。この特徴ある機能は、前述したゲートアレイ42の構成に加えて以下説明する制御手法によって実現される。この制

御手法は、以下の4つの手順に大別することができる。

手順1. BIOSによる制御取得の為の設定

手順2. スリープ直前におけるmini PCIデバイス60の設定の調査

手順3. VccAUX電源の制御

手順4. コンピュータシステム10のスリープ状態への移行

以上のうち、手順1はOS初期化中にあらかじめ実行されるのに対して、手順2 から4はスリープ状態へ移行する際に実行される。以下、各手順について説明する。

【0034】手順1. BIOSによる制御取得の為の設定

Windows 2000やWindows 98/ME (米国 マイクロソフト社の登録商標)などのACPI OSでは、システムをスリープ状態に移行させるのはOSである。よって、BIOSはシステムがスリープ状態に移行する直前に制御を得ることはできない。そこで、I/Oトラップという手法を用いて、スリープに入る直前にBIOSが制御を得ることができるようにしている。以下、その方法を説明する。

1) ACPI BIOSは、Advanced Configuration and Power Interface Specification Rev. 1.0 b (以下ACPI 1.0 b)で定義されている、Fixed ACPI Description Table (以下FACP)の中で、OSに対して、システムをスリープ状態に移行させるためのI/Oアドレスを提示している。このI/Oアドレスは、I/Oブリッジ21が持っているもので、Suspend Enable(SUS\_EN)と呼ばれている。OSは、このI/Oアドレスに直接、値を書き込むことにより、システムをスリープ状態に移行させる。この為、BIOSはシステム状態の移行に関与することができない。そこで、図4に示すように、BIOSはOSに対し架空のI/Oアドレスを提示して、OSが直接、スリープ状態に移行させるのを妨げている。

【0035】2) BIOSは、OSが架空アドレスに書き込んだ時、制御を得ることができるようにI/Oブリッジ21を設定する。すなわち、図5に示すように、OSに提示した架空アドレスを登録し、そのアドレスに対する書き込みを見張るように設定する。これを、一般的にI/Oトラップと呼んでいる。実際に当該アドレス(架空アドレス)に書き込みがあった時には、SMI Handlerと呼ばれるBIOSへ、直ちに制御が渡される。

【0036】手順2. スリープ直前におけるmini PCIデバイス60の設定の調査

手順1の設定により、OSがシステムをスリープ状態に移行しようとして、架空のI/Oアドレスに書き込んだ時に、BIOSは制御を得ることができる。この時の処理を行なうのが、前述のSMI Handlerと呼ばれる処理である。ここで行なう処理を以下で説明する。

1) mini PCIデバイス60がシステムに装着されてい

ることを、mini PCIスロットに挿入されたデバイスのDevice ID及びVendor IDを読んで確認する。この時、それぞれの値がFFFFhの時は、mini PCIデバイス60が存在していないと判断する。

2) mini PCIデバイス60が存在している時、そのデバイスがPCI Bus Power Management Interface Specificationに準拠しているかどうかを、PCI Config space上のPCI Status RegisterのCapabilities bit、及びPower Management Register Blockの存在から判断する。

3) mini PCIデバイス60がPCI Bus Power Management Interface Specificationに準拠していることが確認できたら、PCI Config Space上のPower Management Control/Status Register(PMC SR)の値を読む。PMCSRは、PCI Bus Power Management Interface Specificationによって図6のように定義されている。

【0037】4) この時、bit08 PME\_En(図2の符号60a)に着目する。mini PCIデバイス60によって、コンピュータシステム10がスリープ状態からWAKE-ON-LANする為には、PME#がAssertされなければならない。そして、PME#がAssertされるには、上表のように、PME\_En 60aが"1"にセットされてなければならない。よって、このPME\_En 60aの状態を調べることによって、BIOSがmini PCIデバイス60によるスリープ状態からのWAKE-ON-LAN(以下、Wakeup)を可能に設定しているかどうかを判断することができる。すなわち、PME\_En =0: mini PCIデバイス60によるWakeupはDisableに設定されている。

PME\_En =1: mini PCIデバイス60によるWakeupはEnableに設定されている。となる。

なお、このPME\_En 60aの設定は、BIOSを介してコンピュータシステム10のユーザが設定することができる。また、コンピュータシステム10がLAN(Local Area Network)に接続されていることを判断してBIOSが設定することもできる。

【0038】手順3. VccAUX電源の制御

手順2によって、mini PCIデバイス60によるWakeupがDisableに設定されていると判断した場合には、BIOSはゲートアレイ42に存在するVaux\_Off at Sleepレジスタ42dを設定することによって、mini PCIデバイス60に対するVccAUX電源のOffを指示する。ただし、ゲートアレイ42は、このVaux Off at Sleepレジスタ42dが設定されてもすぐにはVccAUX電源をOffにはせず、Sleep State信号がLになるまでその動作を待つ。

【0039】手順4. コンピュータシステム10のスリープ状態への移行

手順1によって、コンピュータシステム10はOSが意図したスリープ状態には入らない。BIOSは、手順2、3の後、I/Oブリッジ21のSuspend Enableレジスタ21aの所定bitに書き込むことにより、コンピ

ュータシステム10をスリープ状態へと移行させる。

【0040】次に、スリープ状態に移行するときのコンピュータシステム10の動作を図7に示すフローチャートに基づいて説明する。コンピュータシステム10がスリープ状態に移行するときには、OSがI/Oブリッジ21のSuspend Enableレジスタ21aの架空アドレスに書き込みを行なう(S101)。次いで、BIOSが、miniPCIデバイス60によるWakeup機能がEnableに設定されているか否かPME\_En60aに基づいて判断する(S103)。PME\_En60aがEnableに設定されているとS105に進む。一方、Disableに設定されている場合には、S107に進む。

【0041】S105において、BIOSはゲートアレイ42に存在するVaux Off at Sleepレジスタ42dを0に設定することによって、miniPCIデバイス60に対するVccAUX電源を電源のOffを指示する。S107において、BIOSがI/Oブリッジ21のSuspend Enableレジスタ21aの所定bitに書き込むことにより、コンピュータシステム10をスリープ状態に移行するよう指示する。

【0042】BIOSがI/Oブリッジ21のSuspend Enableレジスタ21aに対して書き込みを行なうことにより、SleepState信号がLに変化する(S109)。SleepState信号がLに変化すると、ANDゲート7.0により、VccMAIN\_ONがLとなる。これによりDC/DCコンバータ55がVccMAINをOffとする(S111)。次いで、Vaux Off at Sleepレジスタ42dの設定状況を確認する(S113)。もし、Vaux Off at Sleepレジスタ42dの値が0となっていれば、SleepState信号がLに変化したことにより、ORゲート42cの入力が双方ともLになり、その出力もLに変化する(S115)。その結果、ANDゲート42bを通じてVccAUX\_ONがLとなり、DC/DCコンバータ55がVccAUXをOffとする(S117)。Vaux Off at Sleepレジスタ42dの値が1であれば、SleepState信号がLとなっても、ORゲート42cの出力はHを維持し、VccAUX\_ONはHのままである(S119)。その結果、VccAUXもOnのままとなる(S121)。

【0043】次に、スリープ状態から復帰する時のコンピュータシステム10の動作を図8に基づいて説明する。ユーザからのResume Requestを検知して、I/Oブリッジ21がSleepState信号をHに復帰させる(S201)。もしVaux Off at Sleepレジスタ42dの値が0となっており、スリープ状態の間VccAUXをOffとしていた場合、ORゲート42cの出力がLとなっていたのであるが、SleepState信号がHになったことにより、ORゲート42cの出力がHに変化する(S205)。その結果、ANDゲート42bを通じて、VccAUX\_ONはHとなり、DC/DCコンバータ55により、VccAUXはOnされる(S207)。Vaux Off at Sleepレ

ジスタ42dの値が1で、スリープ状態の間VccAUXがOnで保持されていた場合には、ORゲート42cはHであり、SleepState信号がHとなっても、その出力は変化しない。SleepState信号がHとなると、ANDゲート7.0により、VccMAIN\_ONがHとなり、DC/DCコンバータ55がVccMAINをOnとする(S209)。VccMAIN、VccAUXともにOnとなれば、通常のPower On状態への復帰が完了し、BIOS、OSがResume処理を開始して(S211、213)、コンピュータシステム10としてスリープからの復帰が完了する。

【0044】図9は、コンピュータシステム10の状態、SleepStateのH/L、VccMAINおよびVccAUXのOn/Offを対比して示す図である。図9に示すように、コンピュータシステム10がスリープ状態に移行する際にSleepStateがHからLに変わる。そうすると、VccMAINがoffとなり、次いでVaux Off at Sleepレジスタ42dがセットされている場合にはVccAUXがOffとなる。このように、スリープ状態に移行する際に、SleepStateに同期してVccMAINおよびVccAUXがOffされる。このことは、VccMAINおよびVccAUXが同期してOffされることを意味している。Vaux off at Sleepレジスタ42dがセットされていない場合には、VccAUXはOnを維持する。スリープ状態から通常のPower Onの状態に復帰する際にはSleepStateがLからHに変わる。そうすると、VccAUXがOffされていた場合には、まず、VccAUXがまずOnされ、次いでVccMAINがOnされる。このように、スリープ状態から復帰する際には、SleepStateに同期してVccMAINおよびVccAUXがOnされる。このことは、VccMAINおよびVccAUXが同期してOnされることを意味している。本実施の形態では、以上のように、SleepState、つまりコンピュータシステム10が休止状態にあるか否かについての休止情報に同期したVccAUXのOn/Off制御を可能としている。コンピュータシステム10の他の電源もこのSleepStateによって制御されており、したがって、VccAUXのOn/OffをこのSleepStateに同期して制御することによるコンピュータシステム10に対する副作用、つまり所定の機能が動作しないという弊害の発生は押えられる。

【0045】以上説明したように本実施の形態によるコンピュータシステム10は、コンピュータシステム10がスリープ(休止)状態であっても、miniPCIデバイス60に対する電源の供給を停止することができるから、その電力消費を低減することができる。本実施の形態では、コンピュータシステム10について説明したが、本発明はコンピュータシステムに限らず、主電源および補助電源を用いる電気機器に適用することができる。また、本実施の形態では、WAKE-ON-LAN機能を果たすための手段としてminiPCIデバイス60について説明したが、これと同等の機能を果たすデバイスに対して本発明を適用することができることは言うまでもない。つま

り、以上説明した実施の形態は、本発明の1例を示すものであって、その主旨を逸脱しない範囲で種々の変更を行なうことができる。

#### 【0046】

【発明の効果】以上説明したように、本発明によれば、mini PCIカードあるいはこれに相当するデバイスを装着したコンピュータが休止状態であっても、円滑に電力消費を低減することができる。

#### 【図面の簡単な説明】

【図1】 本実施の形態におけるコンピュータシステム10のハードウェア構成を示した図である。

【図2】 本実施の形態における電源制御回路の構成を示す図である。

【図3】 各制御信号とVccMAINおよびVccAUXの対応を示す図である。

【図4】 BIOSがOSに対し架空のI/Oアドレスを提示する状況を示す図である。

\* 【図5】 I/Oトラップを説明するための図である。

【図6】 PCI Bus Power Management Interface SpecificationによるPMCS Rの定義内容を示す図である。

【図7】 スリープ状態に移行するときのコンピュータシステムの動作を示すフローチャートである。

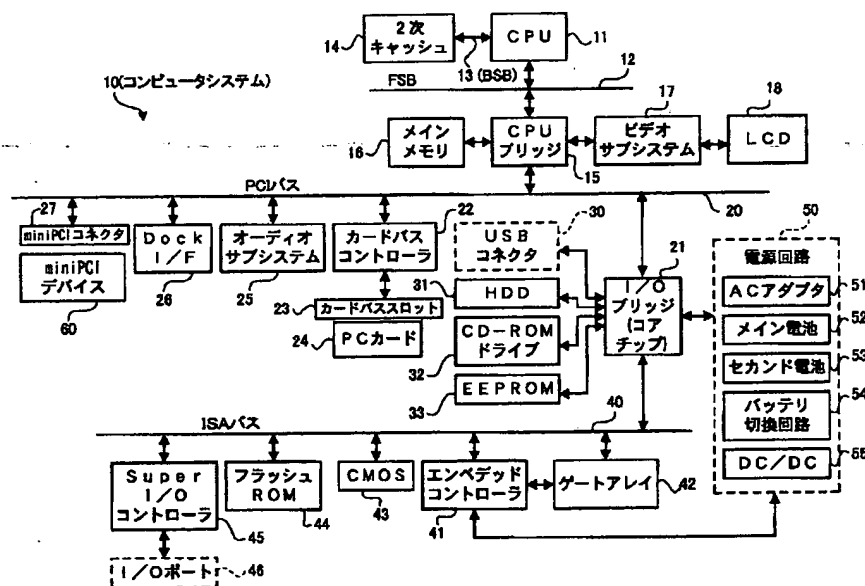
【図8】 スリープ状態から復帰するときのコンピュータシステムの動作を示すフローチャートである。

【図9】 コンピュータシステムの状態とSleepState信号、VccMAINおよびVccAUXのH/Lを対比して示す図である。

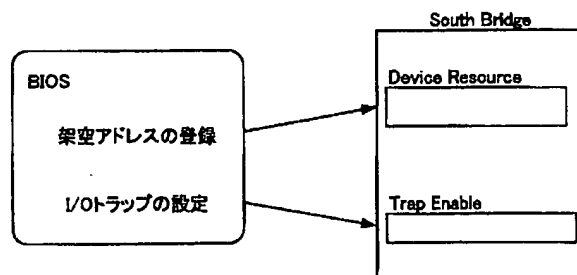
#### 【符号の説明】

10…コンピュータシステム、11…CPU、20…PCI (Peripheral Component Interconnect)バス、21…I/Oブリッジ、27…mini PCIコネクタ、41…エンベデッドコントローラ、50…電源回路、51…ACアダプタ、55…DC/DCコンバータ、60…mini PCIデバイス

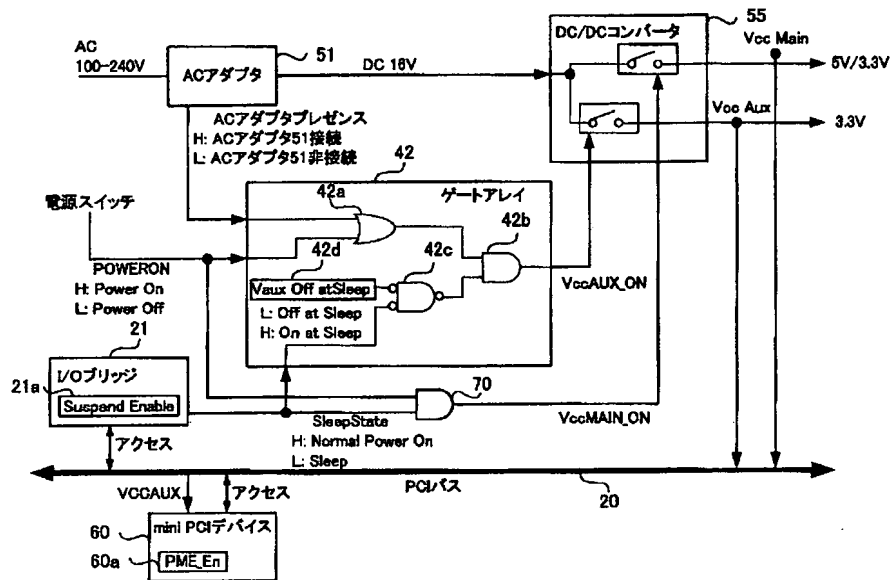
【図1】



【図5】



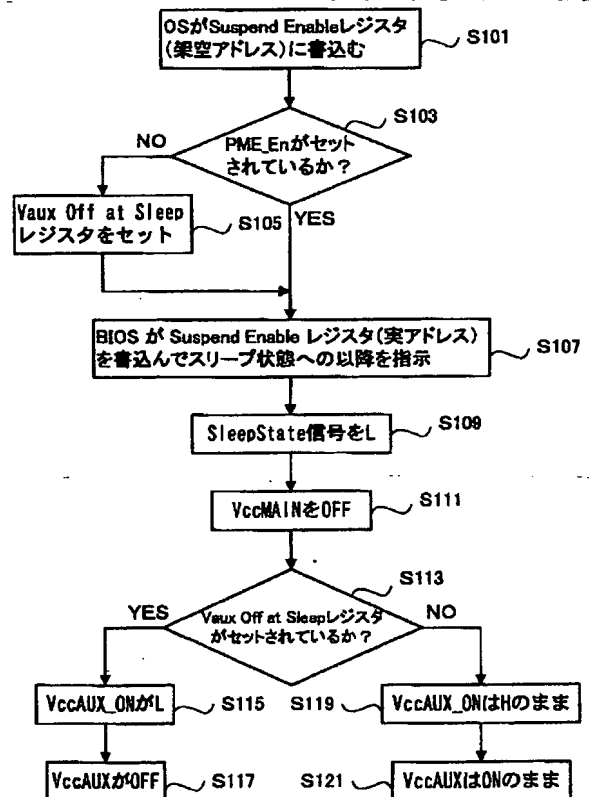
【図2】



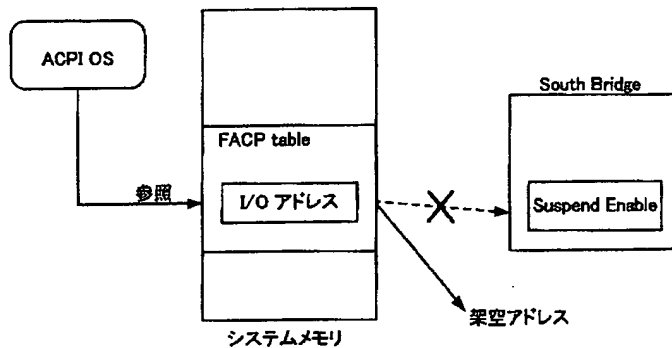
【図3】

No	アダプタ プレゼンス	POWERON	Vaux Off at Sleep	SleepState	VccMAIN	VccAUX
1	H	H	H	H	On	On
2	H	L	H	H	Off	On
3	L	H	H	H	On	On
4	L	L	H	H	Off	Off
5	H	H	L	L	Off	Off
6	H	L	L	L	Off	Off
7	L	H	L	L	Off	Off
8	L	L	L	L	Off	Off
9	H	H	L	H	On	On
10	H	L	L	H	Off	On
11	L	H	L	H	On	On
12	L	L	L	H	Off	Off
13	H	H	H	L	Off	On
14	H	L	H	L	Off	On
15	L	H	H	L	Off	On
16	L	L	H	L	Off	Off

【図7】



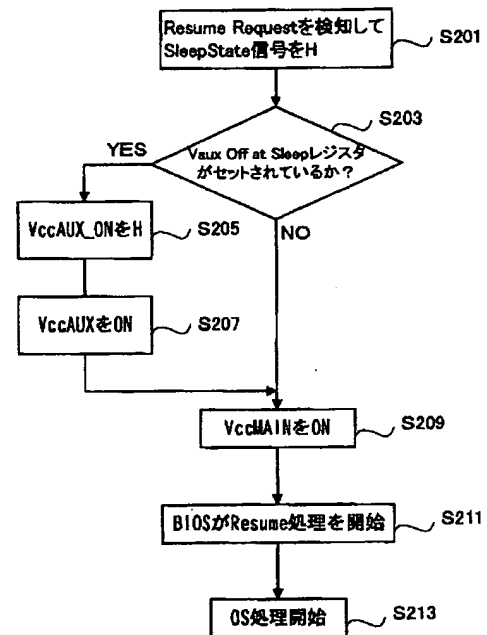
【図4】



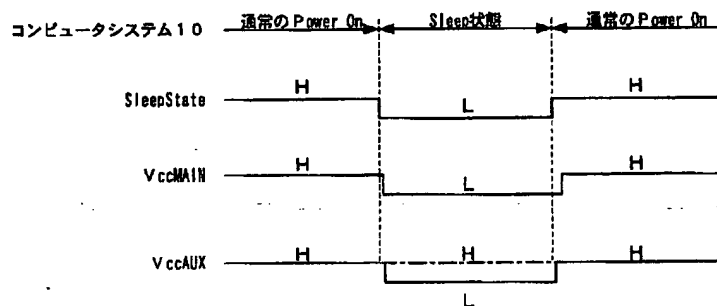
【図6】

Bit	Description
Bit 15	PME_Status
Bit 14:13	Data_Scale
Bit 12:09	Data_Select
Bit 08	PME_En - A "1" enables the function to assert PME#. When "0", PME# assertion is disabled. This bit defaults to "0" if the function does not support PME# generation from D3cold. If the function supports PME# from, then this bit is sticky and must be explicitly cleared by the operating system each time it is initially loaded.
Bit 07:02	Reserved
Bit 01:00	PowerState

【図8】



【図9】



フロントページの続き

(72)発明者 加藤 敬幸  
 神奈川県大和市下鶴間1623番地14 日本ア  
 イ・ビー・エム株式会社 大和事業所内

(72)発明者 藤井 一男  
 神奈川県大和市下鶴間1623番地14 日本ア  
 イ・ビー・エム株式会社 大和事業所内

(72)発明者 山崎 充弘  
神奈川県大和市下鶴間1623番地14 日本ア  
イ・ビー・エム株式会社 大和事業所内

(72)発明者 萩原 幹雄  
神奈川県大和市下鶴間1623番地14 日本ア  
イ・ビー・エム株式会社 大和事業所内  
Fターム(参考) 5B011 DA02 EA04 LL08 LL10 MA02  
MB07